

DIALOG(R)File 347:JAPIO

(c) 2002 JPO & JAPIO. All rts. reserv.

04076085 **Image available**

SEMICONDUCTOR DEVICE

PUB. NO.: 05-067785 [JP 5067785 A]

PUBLISHED: March 19, 1993 (19930319)

INVENTOR(s): HIEDA KATSUHIKO
TAKAHASHI MINORU
YOSHIMI MAKOTO

APPLICANT(s): TOSHIBA CORP [000307] (A Japanese Company or Corporation), JP
(Japan)

APPL. NO.: 03-274136 [JP 91274136]

FILED: October 22, 1991 (19911022)

INTL CLASS: [5] H01L-029/784; H01L-027/12; H01L-021/336

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors,
MOS); R100 (ELECTRONIC MATERIALS -- Ion Implantation)

JOURNAL: Section: E, Section No. 1401, Vol. 17, No. 386, Pg. 62, July
20, 1993 (19930720)

ABSTRACT

PURPOSE: To prevent lowering of a drain breakdown voltage, to increase a resistance of a diffusion region and to prevent contact defective by providing a film thickness of a channel region of a semiconductor layer with specific relation with impurity concentration, dielectric constant, Fermi energy and basic charge of electron of the channel region.

CONSTITUTION: A source/drain 5 is selfmatchingly formed to an n-type impurity concentration of $5 \times 10^{20} \text{ cm}^{-3}$ and a diffusion layer depth of about $0.15 \mu\text{m}$ using a gate electrode 8 as a mask. A thickness $T_{\text{sub } 1}$ of an Si layer 3 at a groove bottom part is 700 angstroms, for example and this is thinner than a thickness which realizes complete depletion of a bottom part region of a groove which becomes a part of the channel region in an operation state of an element. That is, it satisfies conditions of $T \leq (2 \cdot \epsilon \cdot \phi \cdot F / q N_{\text{sub}})^{1/2}$. Here, N_{sub} shows an impurity concentration (cm^{-3}), ϵ shows dielectric constant, $\phi \cdot F$ shows Fermi energy (eV) and q shows a basic charge (coulomb) of electron of a silicon layer. Problems are thereby solved and performance and reliability are improved.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-67785

(43) 公開日 平成5年(1993)3月19日

(51) Int. Cl. ⁶

識別記号

F I

H01L 29/784

27/12

21/336

Z 8728-4M

9056-4M

8225-4M

H01L 29/78

311

H

301

L

審査請求 未請求 請求項の数 3 (全23頁) 最終頁に続く

(21) 出願番号 特願平3-274136

(22) 出願日 平成3年(1991)10月22日

(31) 優先権主張番号 特願平3-193527

(32) 優先日 平3(1991)7月8日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 稗田 克彦

神奈川県川崎市幸区小向東芝町1 株式会
社東芝総合研究所内

(72) 発明者 高橋 稔

神奈川県川崎市幸区小向東芝町1 株式会
社東芝総合研究所内

(72) 発明者 吉見 信

神奈川県川崎市幸区小向東芝町1 株式会
社東芝総合研究所内

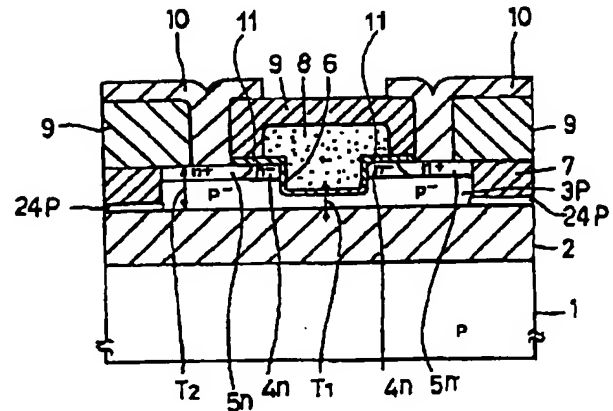
(74) 代理人 弁理士 三好 秀和 (外4名)

(54) 【発明の名称】 半導体装置

(57) 【要約】

【目的】 ドレイン耐圧の向上、ソース・ドレインの寄生抵抗抑制、ショートチャネル効果の防止及びインパクトイオンにより発生したホールのトランジスタ特性への影響防止などを図り、高性能で信頼性の良い MOSFET を得る。

【構成】 チャンネル領域が完全に空乏化するように絶縁膜上に形成された SOI 膜を十分薄くした半導体層に前記絶縁膜から所定の距離だけ離間して設けた一対の高濃度不純物拡散領域 (ソース・ドレイン領域) とこの拡散領域に挟まれた凹部チャンネル領域上にゲート絶縁膜を介して形成されたゲート電極とを備えた SOI MOS 型半導体装置を形成する。



(2)

特開平5-67785

2

【特許請求の範囲】

【請求項1】 基板上に絶縁膜を介して半導体層が形成され、この半導体層にゲート絶縁膜を介してゲート電極が形成され、このゲート電極の両側にソース・ドレインが形成されたMOS型半導体装置において、

前記半導体層のチャネル領域の膜厚 T は前記半導体層のチャネル領域の不純物濃度を N_{sub} (cm^{-3})、誘電率を ϵ 、フェルミエネルギーを ϕ_f (eV)、電子の基本電荷を q (クローン) とする時、

$$T \leq [2 \epsilon \phi_f / (q N_{sub})]^{1/2}$$

であり、かつ前記ソース・ドレインと前記基板との絶縁膜とは前記半導体層の部分により分離されている事を特徴とする半導体装置。

【請求項2】 前記半導体層は凹部を有するものであり、この凹部にゲート電極が形成され、前記ゲート電極下の凹部のチャネル領域における半導体層の厚さ T_1 は前記半導体層のチャネル領域における不純物濃度を N_{sub} (cm^{-3})、誘電率を ϵ 、フェルミエネルギーを ϕ_f (eV)、電子の基本電荷を q (クローン) とする時、

$$T_1 \leq [2 \epsilon \phi_f / (q N_{sub})]^{1/2}$$

であり、かつ前記ソース・ドレインが形成される前記半導体層の厚さ T_1 は $T_1 > T$ であることを特徴とする請求項1記載の半導体装置。

【請求項3】 基板上に絶縁膜を介して半導体層が形成され、この半導体層にゲート絶縁膜を介してゲート電極が形成され、このゲート電極の両側にソース・ドレインが形成されたMOS型半導体装置において、前記半導体層のチャネル領域の膜厚 T は前記半導体層のチャネル領域における不純物濃度を N_{sub} (cm^{-3})、誘電率を ϵ 、フェルミエネルギーを ϕ_f (eV)、電子の基本電荷を q (クローン) とする時、

$$T \leq [2 \epsilon \phi_f / (q N_{sub})]^{1/2}$$

であり、かつ前記ソース・ドレイン拡散層領域と前記基板との間の半導体層には少なくともこの半導体層よりも不純物濃度の高いチャネル領域が存在する事を特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、MOSFET素子に係り、特にFET素子特性の改善をはかった薄膜SOI MOSFETの構造に関する。

【0002】

【従来の技術】 SOI (Silicon on Insulator) 膜上に形成したMOSFETは、ラッチアップフリー、低浮容量等の利点を有する点で有望な素子である。特に、動作状態においてチャネル領域が全て空乏化するようにSOI膜を薄くすると、パンチスルー耐性の向上、パンチスルー効果の減少等の性能が改善されることが、報告されている (IEDM: Techni

cal Digest, p107, 1982)。

【0003】 図40はこの様な半導体装置の素子構造のMOSFETを示した断面図である。すなわち、シリコン膜1上にSiO₂絶縁膜2を有し、このSiO₂絶縁膜2上にSOI膜3が構成される。このSOI膜3表面にはゲート酸化膜6を介してゲート電極8が形成され、このゲート電極8の両側にはソース・ドレイン領域5n、チャネル領域16pが形成されている。

【0004】 図40の9は絶縁膜、10は電極である。

10 【0005】 ここで、素子の動作状態においてチャネル領域16pが全て空乏化する様に、SOI膜3は500Åの厚さに薄膜化されている。

【0006】 そこで本発明者等が前記の従来の素子の特性をシミュレーション及び実測により詳細に調べた結果、素子が微細になるに伴い、ドレイン電流が、ドレイン電圧と共に急激に増大するが故にドレイン破壊が起き易く、その結果使用出来る電源電圧に著しい制限が加わることが明らかになった。この原因はソースとチャネルSOI部の境界に電位の低い領域が形成され、ドレイン近傍のインバクティオン化によって発生した正孔がその領域に蓄積する事が原因である。即ち、ソース・チャネルSOI間に正孔が蓄積すると、ソース・チャネルSOI間のエネルギー障壁を低下させ過剰の電流が流れ、ドレイン破壊に至る。

【0007】 一方、SOI膜を薄くした場合、上述した問題以外に次のような問題も生じる。即ち、SOI膜を薄くすると、このSOI膜に形成するソース・ドレイン拡散領域も必然的に薄くなり、拡散領域の抵抗が増大して電流増幅率の低下を招く。さらに、薄い拡散領域へコンタクトホールをドライエッチング法を用いて開口する際、コンタクトホール部のSOI膜が削り取られて、その後の電気配線が不能になる問題がある。つまり、SOI膜の薄膜化に伴うMOSTランジスタの能力を十分に引出すことは困難であった。

【0008】

【発明が解決しようとする課題】 このように従来、薄いSOI膜にMOSTランジスタを形成した半導体装置では、素子が微細化するに伴いドレイン破壊電圧が低下するという問題があった。また、SOI膜の薄膜化に伴う拡散領域の抵抗増大、コンタクトホール開口時の拡散領域消滅によるコンタクト不良を招く問題があった。

【0009】 本発明は、前記問題を解決するためになされたもので、目的とするところは、SOI膜に形成したMOSTランジスタのドレイン破壊電圧を向上させ、動作速度の高速化をはかり得る半導体装置を提供することにある。

【0010】 また本発明の他の目的は、SOI膜の薄膜化に伴うソース・ドレイン拡散領域の抵抗増大及びコンタクトホール開口時における拡散領域の消滅によるコンタクト不良を防止することができ、SOI膜の薄膜化に

(3)

特開平5-67785

3

伴うMOSトランジスタの能力を十分に引出すことのできる半導体装置を提供することにある。

【0011】

【課題を解決するための手段】本発明の骨子は、素子の動作状態においてチャネル領域が完全に空乏化するようにSOI膜の厚さを十分に薄くすると共に、チャネル領域及びソース・ドレイン拡散領域の導電性や厚みを最適に設定することにある。

【0012】即ち本発明は、絶縁膜上に形成された半導体層に所定の距離だけ離間して設けられた一対の高濃度不純物拡散領域（ソース・ドレイン領域）と、この拡散領域に挟まれたチャネル領域上にゲート絶縁膜を介して形成されたゲート電極とを備えたMOS型半導体装置において、前記チャネル領域の第2半導体層の厚さTを前記第2半導体層の不純物濃度を N_{sub} (cm^{-3})、誘電率を ϵ 、フェルミエネルギーを ϕ_f (eV)、電子の基本電荷を q (クローン) とする時、

$T \leq [2\epsilon\phi_f / (qN_{sub})]^{1/2}$ に設定し、かつソース・ドレイン拡散層とこれら拡散層の下に絶縁膜が接しないように形成したものである。

【0013】また、前記半導体層が凹部を有するようにしたものである。

【0014】また、ソース・ドレイン拡散層領域と前記基板上の絶縁膜との間の半導体層（チャネル領域）の一部に高濃度層を設ける構成にしたものである。

【0015】

【作用】(1) 本発明によれば、薄膜SOI MOSFETにもかかわらず、ソース・ドレイン領域を第1基板分離絶縁膜層と接触させずに形成しているため、インパクトイオン化で生じたホールをチャネル近傍のソース領域ではなく、チャネルから離れた領域に分散して蓄積する。さらに接地電圧や負電位にバックゲートバイアスを印加してホールの移動速度を増大させ、チャネル領域からホールを減少させると共にホールの逃げ口を第2半導体領域に設ける事によりチャネル領域から多量に発生するホールを減少させる作用効果を有する為、チャネル領域に影響をおよぼしにくい。このため、MOSFET特性のドレイン破壊がおこりにくく、信頼性の高いMOSFETを実現できる。

【0016】(2) 又、半導体領域の凹部にゲート電極を埋め込む溝掘り型薄膜SOI・MOSFETとすることにより、ソース・ドレインからの空乏層は、従来のMOSFETの様にチャネル中に深く侵入することはない。したがって、ソース・ドレイン拡散層の深さの X_d が大きくても、ソース・ドレイン拡散層から伸びる空乏層の広がりに伴うショート・チャネル効果の影響を極力抑制することが可能となる。

【0017】(3) また、ソース・ドレイン領域を n^+ 不純物層と溝の側壁上部に溝が貫通する n^- 不純物層により設けられるようにすることにより、いわゆるLDD構

4

造となり、ドレイン耐圧が著しく向上する。

【0018】(4) さらにまた、ソース・ドレインの下部に高濃度の不純物層を設けてやることにより、インパクト・イオン化で生じたホールを効率的に p 型不純物層に集めることができ、チャネル領域への蓄積ホールの影響を小さくでき、ドレイン耐圧向上が実現出来る。

【0019】

【実施例】以下本発明の半導体装置の第1の実施例を図面を用いて詳細に説明する。

【0020】図1、図2、図3は本発明による第1の実施例のMOSFETの平面図とそのA-A'断面図、B-B'断面図である。図2に示すようにSi基板1上には薄膜0.4 μm 程度のSiO₂層（絶縁膜）2が形成され、この上には0.3 μm 程度の膜厚で、不純物濃度 $1 \times 10^{16} cm^{-3}$ 程度の p 型Si層3が形成されここにMOSFETが形成される。この p 型Si層3は素子分離絶縁膜7で分離され、この領域内に、不純物濃度 $5 \times 10^{18} cm^{-3}$ 程度、拡散層深さ0.15 μm 程度の n^+ 型拡散層4nが形成されていて、その中に深さ $d = 0.23 \mu m$ 程度のくぼみ（溝）が形成されている。ここで素子分離絶縁膜7とSiO₂層2の間には約0.1 μm 程度の間があいたものとなっている。さらに、この領域には、通常のパルク型MOSFETと同じ様にチャネル反転防止用のフィールドイオン注入層24が形成されている。

【0021】溝の底部領域Si層3は、SiO₂層2の上に非常に薄く形成され、その部分の膜厚は T_1 である。チャネル領域は、この薄いSi層3と溝の底部側面とで構成される。ソース・ドレイン拡散層5を形成するSi層3の膜厚は T_2 である。また、溝の上を覆うように前記Si層3表面にゲート絶縁膜6を介してゲート電極8が形成されている。図の9は絶縁膜、10は電極である。ここで、ソース・ドレイン5と、ゲート電極8が対面する絶縁膜11の膜厚は、結合容量をへらすためにゲート絶縁膜より厚く形成してもよい。例えば溝内で15nm、基板上面で100nm厚である。

【0022】また、ソース・ドレイン5は n 型不純物濃度 $5 \times 10^{18} cm^{-3}$ 、拡散層深さ0.15 μm 程度にゲート電極8をマスクに自己整合的に形成されている。また、溝底部でのSi層3の厚さ T_1 は例えば700Åであり、これは素子の動作状態においてチャネル領域の一部となる溝の底部領域が完全に空乏化する厚さより薄くなっている。すなわち、 $T \leq [2\epsilon\phi_f / (qN_{sub})]^{1/2}$ の条件をみたすようになっている。尚、ここで N_{sub} はシリコン層3の不純物濃度 (cm^{-3})、 ϵ は誘電率、 ϕ_f はフェルミエネルギー (eV)、 q は電子の基本電荷 (クーロン) を示している。

【0023】図4は、本実施例を p^- チャネルMOSFETに応用した場合の変形例で、図1のA-A'断面对応している。この実施例は半導体層3nが n^- 層であ

(4)

特開平5-67785

6

5
り、ソース・ドレイン5pがp'層、くぼみの側壁の拡散層4pがp'層であることを除いて先の実施例と同様であるので他の部分の符号は、同じ符号を付した。

【0024】次に、図5～図11を用いて、このようなMOSFETの製造工程の一実施例を説明する。すなわち、図5～図11は、図1乃至図3に示した実施例の図2に対応する製造工程断面図である。

【0025】まず図5に示すように、Si基板1上に例えば厚み4000Å程度のSiO₂膜2と、その上に膜厚3000Å程度、不純物濃度 $1 \times 10^{14} \text{ cm}^{-3}$ 程度のp'型Si層3pを形成する。

【0026】この様なSOI基板を形成する方法として①Si基板1どうしを酸化膜2を介して張り合わせ、その後片方のSi基板1をラッピングして鏡面研磨する、いわゆる張り合わせ法、②酸素イオンを高ドーズ、高加速でイオン注入し、その後高温でアニールする、いわゆるSIMOX法。

【0027】③電子ビーム等によりSiO₂膜2上の多結晶シリコン膜を溶融再結晶化した後、エッチングして薄膜化する、いわゆる電子ビームアニール法などがあるが、どの方法を用いても良い。又、SiO₂膜2の膜厚もこれに限られることはない。

【0028】次に図6に示すようにnチャネル型MOSFETを作る領域にのみn'型の拡散層4nを例えばリン(p')イオンの注入を100KeV、 $4 \times 10^{13} \text{ cm}^{-3}$ 程度行ない形成する。この工程はその後形成する20nmの熱酸化膜を通して行なっても良い(図示せず)。又、次の工程であるSi層3を素子形成領域パターンに加工した後に行なっても良い。Si層3のパターン加工は、素子形成領域以外の部分で、約0.1μmの膜厚を残すようにエッチングした。

【0029】すなわち、全面に例えば膜厚10nm程度のCVD-SiO₂膜から成るマスク層11を形成した後、ホトリソグラフィによりレジスト(図示せず)をパターンニングし、このレジストをマスクにして反応性イオンエッチング(以降RIEと略す)法等によりマスク層11をエッチングし、次いで例えば塩素系、または弗素系ガスをを用いたRIEによりSi層3をエッチングして各素子形成領域ごとに分割する。

【0030】このSi層3のエッチング前にレジストを除去しても良い。

【0031】このマスク層11は、RIE時のマスク材として用いられるが、後の工程のエッチングストップとしても用いられ、このマスク層は他にCVD-Si₃N₄膜か、それらとの複合膜などでも良い。

【0032】次に図7に示すように各素子形成領域のSi層3の側面を熱酸化して、例えば20nm程度のSiO₂膜12を形成した後、フィールド反転防止用に例えばボロンを30KeV、 $1 \times 10^{13} \text{ cm}^{-3}$ 程度イオン注入し、素子分離用の溝の底面のみに選択的にp型層2

pを形成し、さらにCVD-SiO₂膜などを全面に堆積し、レジスト等を用いたいわゆるエッチバック平坦化法を用いることにより、先に形成した各素子領域間の分離のための絶縁膜7形成を行なう。

【0033】さらに全面にレジスト膜13を形成したのち、ホトリソグラフィによりレジスト膜13をパターンニングして、これをマスクにしてRIE法によりマスク層11、次いでSi層3をエッチングし、Si層3中に溝14を形成する。このとき溝14の底面に残置するSi層3の膜厚T₁は重要で、例えば700Å程度に十分コントロールされる必要がある。すなわち、この膜厚は、前述したように素子の動作状態で完全に空乏化する条件をみたとように設定する。

【0034】次に図8に示すように溝14の内壁のRIEによるダメージ層を例えばドライO₂酸化とNH₄F液によるエッチングで除去した後、例えば、熱酸化膜15を形成し、その後、例えばボロン(B')イオンを10KeV、 $5 \times 10^{14} \text{ cm}^{-3}$ 程度イオン注入し、溝の底部領域にのみ選択的にp型チャネル不純物層16pを形成しても良い。この熱酸化膜15の膜厚を調整することによって溝の底部に選択的にp型層16pを形成することができる。イオン注入はチャネリング防止のため、わずかに傾けて行なっても良いし、溝底面のみに注入するため垂直イオン注入法を用いても良い。この工程は薄膜SOIトランジスタの特徴としてチャネルイオン注入がV_{th}制御に効果を与えなくなっているので省略しても良い。

【0035】次に前記熱酸化膜15を選択除去したのち、図9に示すように約15nm程度のゲート絶縁膜(SiO₂膜)6を形成し、これを介して例えば不純物をドーブしたポリSi膜を堆積し、パターンニングすることによりゲート電極8を形成する。

【0036】この後、例えば850℃のO₂/H₂O雰囲気中で熱酸化することによりポリSiゲート電極8の表面に150nm程度の厚い酸化膜17を形成する。これは、ポリSiゲート電極8の対イオン注入時のマスク性を向上させる役割をもつ。次にソース・ドレイン領域のマスク層11を除去し、露出させた後、例えば熱酸化膜18を10nm程度形成し、これを介して、例えばヒ素(As')を50KeV、 $5 \times 10^{14} \text{ cm}^{-3}$ 程度イオン注入して、n'型不純物拡散層5nを形成する(図10)。

【0037】次に図11に示すように、全面に層間絶縁膜19としてCVD-SiO₂/BPSG膜を600nm程度形成し、850℃、60分程度のBPSGメルト工程を行ない全面を平坦化した後、ソース・ドレイン、ゲート電極へのコンタクトホール20を開け、例えばAl膜を全面に堆積してホトリソグラフィ技術とRIE法によりAl膜をパターンニングして配線層10を形成する。このようにして本発明の実施例によるMOSFET

(5)

特開平5-67785

8

7
が得られる。

【0038】かくして得られた実施例による素子と従来素子とで、ドレイン電流-ドレイン電圧特性の比較を行った結果を図32に示す。本実施例の素子では、チャンネル長0.3 μm のnチャンネルMOSFETにおいて、ドレイン破壊電圧は2.5Vが6Vに大幅に向上した。この理由は、ドレイン近傍での電界が本発明の構造により緩和されているためである。

【0039】また本発明の実施例の構造は、チャンネルS i 層の薄膜化にもかかわらず、ソース・ドレイン拡散層10 深さX₁が従来例のようにチャンネル領域のS i 層の膜厚に制約されることなく拡散層の深さを深く設計できるため、ソース・ドレインの拡散層抵抗やコンタクト抵抗を小さく出来る。すなわち、寄生抵抗の増加によるドレイン電流の減少という素子特性の劣化を防ぐことができる。

【0040】また本発明の実施例の構造は、ソース・ドレイン領域がチャンネル領域より上にあるので、ドレインからの空乏層の伸びの影響が抑えられソース・ドレイン間のパンチスルーに対して強い構造であり短チャンネル効果120 が改善される。

【0041】また本発明の実施例の構造は、チャンネルS i 層の膜厚をエッチングで制御できるため、各素子のS i 層の膜厚を一律でなく、個々に変える事も可能となり、その結果素子設計の自由度が上がり回路の設計が容易となり、性能が向上する。

【0042】また本発明の実施例の構造はドレイン近傍での電界緩和によるインパクトイオン化率の低減ばかりでなくたとえば、インパクトイオン化によりエレクトロン、ホールが発生しても、従来のようにチャンネル部のソ30 ス近傍にホールがたまったりせず、チャンネル領域から離れたソース領域の下に大部分が集まり、チャンネルに影響をおよぼしにくい構造となる。ここで図2に示すように素子分離絶縁膜7をS i O₂ 層2に接しないようにし、これら蓄積ホール(n-チャンネルの場合)、蓄積エレクトロン(p-チャンネルの場合)の逃げ道を形成するようにすればさらなる効果を得ることができる。

【0043】図12~図22は、本発明の他の実施例を説明するための断面図であり、図1のA-A'断面図に対応した図面である。

【0044】まず図12に本発明による第2の実施例を示す。図1では、ソース・ドレイン領域がいわゆるLDD (Lightly Doped Drain) 構造をもつように設計されていたが、図12のように、いわゆるGDD (Graded Diffused Drain) 構造となるようにしても良い。この時は、ソース・ドレインへの不純物注入の際(図6の工程)にn⁺ 拡散層4nだけでなくn⁺ 拡散層5nも同時に形成する様に工程を変更すれば良い。

【0045】このようにすると、後でn⁺ 拡散層を形成 50

する工程(特にCMOSの場合は、レジスト工程を用いてn⁺、p⁺を別々に形成するので複雑である)が省略できるという工程簡略化のメリットがある。

【0046】次に本発明による第3の実施例を図13を用いて説明する。第1の実施例では図2に示すようにソース・ドレイン領域が、いわゆるLDD構造となり、ドレイン近傍の電界を緩和していたが、本実施例の図13のように凹型MOSFETの場合にはこの構造自体においてドレイン電界を緩和する効果があるのでLDDではなくシングルソース・ドレイン22の構造であっても、①通常の薄膜SOI MOSFETにくらべてドレイン電界の緩和によるドレイン耐圧が向上する。

【0047】②ソース・ドレインの寄生抵抗やコンタクト抵抗の上昇によるドレイン電流の減少という特性劣化の防止できる。

【0048】③ソース・ドレイン用のパンチスルーを抑えた短チャンネル効果の低減を図れる。

【0049】④薄膜S i チャンネル層を持ったSOI MOSFETの実現とS i チャンネル層の任意、膜厚設計可能となるなどの特徴が実現できる。

【0050】次に本発明による第4の実施例を図14を用いて説明する。この実施例は、第1の実施例と異なり、ゲート電極8aがソース・ドレイン部に張り出しておらず、溝の中だけにゲート電極をとどめたものである。このようにすることによって、ゲート電極8とソース・ドレインのコンタクト・ホールの間隔を小さくすることができ、微細化に向けた構造となる。

【0051】図15は第4の実施例の変形例でゲート電極8を完全に溝の中に埋込んだ実施例である。このようにすることにより段差を減少させ、平坦性が向上し、上の層の加工をより容易にすることができる。

【0052】図14、図15ではソース・ドレインの構造はシングル、ソース・ドレイン構造を示したが、側壁残して形成したスペーサー材を用いたLDD構造や、マスク合わせを用いたLDD (Lightly Doped Drain) 構造を用いても良い。

【0053】次に、本発明による第5の実施例を図16を用いて説明する。第1の実施例ではいわゆるトレンチ分離法を素子分離に用いたが、他に図16に示すような、いわゆる選択酸化法(LOCOS法)を用いても良い。この時、選択酸化法で形成した厚いフィールド酸化膜23が基板絶縁膜層2に接する様にする。この様になると、フィールド反転防止用の不純物形成工程が必要なくなり工程簡略化ができる。このようにフィールド酸化膜をS i O₂ 層2に接しないようにする構造は前述した実施例及び以下述べる実施例においても適用可能である。

【0054】又、第5の実施例の変形例として図17に示すような実施例もある。この時、フィールド酸化膜23は基板絶縁膜層2に接しておらずフィールド反転防止

(6)

特開平5-67785

9

10

用の不純物層24pが必要となるが、比較的薄いフィールド酸化膜23で良く、工程の短縮化、簡略化が図れる。

【0055】次に本発明による第6の実施例を図18を用いて説明する。第1の実施例ではチャネル・イオン注入層の形成については詳しく述べなかったが、図9と同様に、薄膜Siチャネル層のみにp層25を形成しても良い。これには、溝の側面に保護膜を設けておき垂直イオン注入法を用いて形成する。本発明の構造によれば、溝の底面に選択的にp層25があるため、ここで閾値 V_{th} は決まり、溝の他の側面のチャネル領域は V_{th} 決定に寄与しない。つまり、溝の底部の閾値は溝の側面の p^- 領域の閾値より高い。このため、動作時、側面部の抵抗は小さく、ソース・ドレイン領域が主なチャネル領域である溝底部のP層25より上部にあるためソース・ドレインからの空乏層の伸びの影響を受けにくい。このため、短チャネル効果を防止できると同時に、同じチャネル長のMOSFETにくらべて大きな駆動能力を得ることができる。

【0056】更に図19に本発明の第7の実施例を示す。第1の実施例では、SOI層の中のソース・ドレイン拡散層にコンタクトを開けていたが、本実施例ではSOI基板のソース・ドレイン層上に不純物をドーピングした多結晶シリコン層26を形成して電氣的に接続しそれにソース・ドレインコンタクトを開口している。このようにすると、素子分離領域上にソース・ドレインのためのコンタクトを延在させることができ、素子の高密度化に適する。27は電極である。5nは、多結晶シリコン層26からの n^+ 不純物拡散層又は電氣的接続を確実にするための n^+ 不純物イオン注入により生じた n^+ 拡散層である。

【0057】更に図20に本発明の第8の実施例を示す。第1の実施例では、薄いチャネル層とソース・ドレイン領域に深い拡散層を得るためにSOI基板に溝を掘って両方を実現したが、この実施例では、その構造を選択エピタキシャル成長(SEG)を用いて実現するようにしたものである。29は絶縁膜、27は電極である。

【0058】すなわち、薄いSOI膜3(膜厚= T_1)でソース・ドレインの拡散層深さ X_1 が T_1 より浅くなる様形成して、ソース・ドレイン部の露出した表面のみ選択エピタキシャル成長法を用いてソース・ドレインにエピタキシャルシリコン層28を形成する。この層28は多結晶シリコン層でもよい。この選択エピタキシャルシリコン層28をドーピングして、ソース・ドレインと電氣的に接続しこれにソース・ドレイン・コンタクトを開けるものである。この様にすると、薄膜SOI層のチャネルシリコン膜厚 T_1 より浅くソース・ドレイン拡散層を形成しても、その上に選択エピタキシャルシリコン層が厚く形成されているので、ソース・ドレイン拡散層としての抵抗が高くなる事はない。またSOI基板をエ

ッチングしなくとも同様の効果が得られる。

【0059】更に図21、図22に本発明の第9及び第10の実施例を示す。図21、図22はそれぞれ第8の実施例の図20の選択エピタキシャルシリコン成長をゲート電極30形成し、このゲート電極30を絶縁膜31でおおった後に行なうもので、ソース・ドレインの n^+ 拡散層31及び n^- 拡散層4nをチャネル面より上にする場合(図21)とソース・ドレインの n^- 拡散層32nをチャネル面より下で、基板絶縁膜2より上に設定した場合(図22)である。図22の6は絶縁膜である。

【0060】どちらの場合も薄膜SOI MOSFETを実現するのにSi層をエッチングするする必要がないというメリットに加え、図21に示した第9の実施例は n^+ 及び n^- 不純物層の深さ X_1 を3pのチャネル領域に張り出させないため、短チャネル効果を抑えることができるという特徴がある。

【0061】次に図23に本発明の第11の実施例を示す。この実施例は、p型半導体層3pの代わりにi型半導体層33(n型とp型のキャリア濃度(ドナー濃度、アクセプター濃度)が同じでインtrinsicな半導体としての特性を示す)を絶縁膜上の半導体層として用い、チャネル領域にi型半導体層33を残しているMOSFET構造である。またソース・ドレイン領域の下部にはp型Si層34pを形成している。

【0062】このp型層34pがソース・ドレイン領域の下にあることにより、インパクトイオン化で発生したホールがチャネル領域にたまることなくp型Si層34pに集めることや、素子分離膜下のp型不純物層24pを通して排出ができるため、信頼性の高いMOSFETが薄膜MOSFETでも実現できる。またこの時、閾値は溝側面で決まり、p型Si層34pの濃度をコントロールすることにより閾値を設定できる。

【0063】図24～図25は図23の第11の実施例におけるp型層34pの位置関係を示す図であり、図23の様にp型層34pが薄膜チャネル領域(i型Si層33)の端部まであるものと異なり、図24のようにp型層34pが薄膜チャネル領域より離れている構造、図25の様にp型層34p薄膜チャネル領域33の中に入り込んでいる構造である。いずれの場合も同様な効果を有する。

【0064】更に図26に本発明の第11の実施例の変形例を示す。図23～図25ではi型Si層33に凹部を形成することによって薄膜i型MOSFETとソース・ドレイン領域下のp型Si層34pを実現したが、これ以外の方法でも同様の構造を実現できる。その例が図26である。

【0065】まず薄膜のi型Si層33(膜厚 T)を形成し、ゲート絶縁膜6を介してゲート電極8を形成した後、 n^- 層4n、p型層34pを形成する。この時、問題となるソース・ドレイン抵抗の増大(寄生抵抗増大)

(7)

特開平5-67785

11

を防ぐために選択エピタキシャル成長等を用いてソース・ドレインの開口部にS1層35を形成してソース・ドレインとする。この様な方法により図23～図24と同様の効果を持つ構造を得ることができる。この構造だと図23～図25にくらべてi型S1層33をエッチングする必要がないのでi型S1層33の膜厚の制御が容易である。

【0066】次に本発明の第12の実施例を説明する。図27は図23の構造をpチャネル薄膜SOI MOSFETに適用した例である。この場合図23におけるp型層34の代わりにn型層36を用いることになる。本構造はインパクト・イオン化によって発生したエレクトロンをn型層36に集める効果がありMOSFETの信頼性を向上させることができる。38はp'層、37はp-層である。

【0067】次に図23に示した第11の実施例の製造方法について説明する。図28、図29、図30、図31はその工程断面図である。

【0068】まず、絶縁膜2上に薄膜3000Å程度のi型S1層33が形成されたものを用意し(図28)、このi型S1層33にn'型層4nを形成した後これをマスク層39を用いて加工し、フィールド反転防止のp型層24を形成した後、次いで素子分離領域に素子分離様絶縁膜7を埋込む(図29)。次にMOSFETの薄いチャネル領域(膜厚T)を形成するため、例えばRIE法を用いてi型層33及びn'層4の一部をエッチングし、所望の膜厚Tにする(図30)。この後、マスク層39を除去した後、ゲート絶縁膜6を介してゲート電極8を形成し、p型層34p、ソース・ドレイン層となるn'拡散層5nを順次イオン注入法などを用いて形成する(図31)。p型層34pの範囲はイオン注入条件とその後の熱工程の調整によって実現でき、図23、図24、図25のいずれの構造も対応できる。

【0069】次に図33、図34に本発明の第12及び第13の実施例を示す。この例は先の実施例、例えば図23～図25等においてソース・ドレインn型層4n、5nの下にp型層34pが形成されていたが、その下にさらにi型層40が存在する構造についてのものである。この様にするとp型層34pの形成をn'型層4n下に安定して形成できるという利点がある。また図33、図34は、薄膜チャネル領域(薄膜T)がp型層34p下のi型層40より薄くなっている場合(図33)と、p型層34pの下にi型層40が薄膜チャネル領域(膜厚T)と同じになっている場合(図34)を示している。どちらも同じ効果を有している。

【0070】この場合、溝側壁部のp層(34p)で閾値を決めることができる。

【0071】次にこれら実施例の製造方法について説明する。

【0072】図35、図36、図37は、図33、図3

12

4の構造を実現するための工程断面図を示したものである。まず、図35に示すようにi型層40の全面にn'型層4nとp型層34pを例えばイオン注入法等で形成し、n型層の下に全面にp型層34pを安定に形成する。このp型層34pはこのMOSFETの閾値電圧を決定するためのチャネル不純物層に相当する。次にマスク層41を用いて素子形成領域毎に島状に加工した後、フィールド反転防止不純物層24p、素子分離用の絶縁膜7を素子分離領域に埋め込み形成する。次に薄膜チャネル領域となる凹部溝を形成する。このとき溝の底は膜厚Tとなる様にする(図36)。この後、ゲート絶縁膜6を介してゲート電極8を形成した後、ソース・ドレインのn'型拡散層5nを形成し、層間絶縁膜19を全面に堆積し、コンタクトホールをあけて、メタル配線10を形成する。ここではLDD構造をとったが、n'だけのシングルドレイン構造にしても良い。

【0073】また、ゲート電極8は前述してきた本実施例では閾値 V_{th} の設定(例えば、n-チャネルMOSFET+0.2～1.0V程度、p-チャネルMOSFET-0.2～-1.0V程度)からn-チャネルではp'ポリSi電極、p-チャネルではN'ポリSi電極を用いるが、例えば閾値を所望の値にするためにメタルゲート(Wなど)でも良いし、基板1にバックゲートバイアスを印加しても良い。

【0074】前記実施例ではMOSFETの主要部について図面を用いて説明してきたが、図38の斜視図に示すようにしてもよい。前述した実施例と対応する部分は同じ符号を付し、詳細な説明は省略する。図に示すように、S1O₂層2上のp層3pはトランジスタとは別に設けられたp'層よりなるボディコンタクト領域42pに接続されている。このボディコンタクト領域42pは通常接地電位又は負電位とするが、場合によっては閾値調整等のために負電位に設定する。

【0075】このようなボディコンタクト領域42pを設けることによって、図39の模式図に示すように素子動作中に生じたホール等を極めて良好に排出することが可能となるため、素子特性への悪影響を除くことができる。

【0076】図41は本発明のMOSFETを用いてCMOSインバーター回路(図46)を構成したときのチャネル長方向の断面図である。

【0077】この実施例では、n-チャネルMOSFET、p-チャネルMOSFETの閾値はそれぞれ溝の底部のp領域16pとn領域16nで決まっている。またn-チャネルMOSFET、p-チャネルMOSFETを電気的に分離する素子分離絶縁膜7の下には、それぞれフィールド反転防止用のp型不純物層24p及びn型不純物層24nが形成されている。また、それぞれのMOSFETにはチャネル領域に発生した蓄積ホール(n-チャネル)あるいは蓄積エレクトロン(p-チャネ

(8)

特開平 5-67785

13

ル) をチャネル領域から逃がすためにいわゆる通常のバルクMOSFETの基板コンタクトに相当するボディコンタクト (bc) を p' 領域 42 p、n' 領域 42 n として形成している。このような構造をとることにより素子動作中に生じたホールやエレクトロン等を極めて良好にチャネル領域以外に排出することが可能となり、素子特性への悪影響を除くことができる。

【0078】またこの時、素子分離絶縁膜 7 の直下でフィールド反転防止用の p 型不純物層 24 p と n 型不純物層 24 n が接する事があり得る事は図中の通りである。 10

【0079】次に図 42 に本発明の第 2 の実施例を示す。図 42 は、図 41 において n- チャネル MOSFET と p- チャネル MOSFET に分離する素子分離絶縁膜 7 a が基板中の絶縁膜 2 に接するように形成されている構造についてのものである。この様にすると、この部分だけ絶縁膜を埋込む溝の深さを深くする必要が生じるが、確実に n- チャネル MOSFET と p- チャネル MOSFET を分離でき、ラッチアップや寄生バイポーラ効果を完全に防止できるという利点がある。

【0080】次に図 43 に本発明の第 3 の実施例を示す。図 43 は、図 41 において全ての素子分離絶縁膜 7 a が基板中の絶縁膜 2 に接する様に形成された構造である。 20

【0081】この様にすると、各素子間の分離を完全に行なう事が出来る利点がある。

【0082】以上、図 41、図 42、図 43 に共通する構造は、各 n- チャネル MOSFET、p- チャネル MOSFET において、閾値は溝底部の p 層 16 p、および n 層 16 n で決まっていることである。また、各チャネルの主要な領域 (p 層 16 p、n 層 16 n) は動作時に完全に空乏化する様な膜厚 T_i に設定されていることも共通の構造である。基板 1 側のバックゲート電圧 (V_{bg}) は各々の MOSFET の閾値電圧の調整などに用いられる。 30

【0083】またゲート電極材料 8 は、n- チャネル MOSFET には p' 型多結晶シリコン膜、p- チャネル MOSFET には n' 型多結晶シリコン膜を一般に用いるが、閾値を所望の値にするためにメタルゲート (W など) を用いても良い。

【0084】次に図 44 に本発明の第 3 の実施例を示す。図 44 は、図 41 において MOSFET のチャネルにおける不純物の配置が変わったものである。すなわち、n- チャネル MOSFET であればソース・ドレイン n 型層 4 n、5 n の下に p 型層 34 p が形成されているが、その下にさらに i 型層 40 が存在する構造であり、p- チャネル MOSFET であればソース・ドレイン p 型層 4 p、5 p の下に n 型層 34 n、さらにその下に i 型層 40 が存在する構造である。これらの MOSFET を用いて CMOS インバーターを構成したのが図 44 である。 40

14

【0085】この様にすると、①主要なチャネル領域 (溝の底部) は i 型半導体層となり不純物濃度が濃くないため電子及びホールの移動度が大きくなり素子特性が向上する。また、② T_i の厚みも比較的厚く出来るためプロセス制御性のマージンが上がり製品の歩留りも向上する利点がある。さらにまた、③この様な MOSFET の閾値は溝の側壁部の n- チャネルの場合は p 層 34 p (p- チャネルの場合は n 層 34 n) で決まり、閾値の制御性が向上する。また④ソース・ドレイン近傍にある p 層 34 p は凹型の溝底部の i 型層 40 で分断されており、ソース側の p 層 34 p はドレインからの空気欠乏層の伸びの影響を受けにくい構造になっており、ショートチャネル効果に強い構造となっている。また⑤チャネル領域近傍で発生したイオンバクトイオン化によるエレクトロン及びホールは、素子特性に影響を与えない様にそれぞれのボディコンタクト (body contact) 領域 (42 p、42 n) に通常接地電位、又は負電位 (n- チャネル)、正電位 (p- チャネル) を印加することにより良好に排出することが可能となっている。

【0086】次に図 45 に本発明の第 4 の実施例を示す。図 45 は、図 44 において、p 型層 34 p、n 型層 34 n の形成をゲート電極 8 の形成後に例えばイオン注入法と熱拡散法を組み合わせることにより実現した構造である。この構造では、溝の底のチャネル領域にしか i 型層 40 はなく、ソース・ドレイン層の下には p 型層 34 p (n- チャネルの場合) 又は n 型層 34 n (p- チャネルの場合) が形成されている。

【0087】この様にすると①チャネルの一部に i 型層があるのでエレクトロン又はホールの移動度が向上し、素子特性が向上する。また② T_i の膜厚が比較的厚く出来るので溝形成時のエッチング制御性が向上する。また③閾値は溝側壁の p 層 34 p (n- チャネル)、又は n 層 34 n (p- チャネル) の濃度で決まるので制御性が向上する。また④ショートチャネル効果にも強く、⑤蓄積ホールやエレクトロンを放出する場合のソース・ドレイン下の抵抗を下げる事ができるので効率良く行なえるなどの利点がある。

【0088】次に図 47 に本発明の図 41 の変形例を示す。図 41 から図 45 までは、素子分離絶縁膜は埋込み型の絶縁膜を用いた例を示したが、図 47 に示すように従来の選択酸化法 (いわゆる LOCOS 法) を用いても良い。この例では LOCOS 酸化膜は基板中の絶縁膜 2 に接していないが、接する様に形成しても良いことは言うまでもない。

【0089】このようなボディコンタクト領域 42 を設けることによって、図 39 の模式図に示すように素子動作中に生じたホール等を極めて良好に排出することが可能なため、素子特性への悪影響を除くことができる。

【0090】以上、本発明を種々の実施例により説明したが、これに限られるものではない。構造上も種々変形 50

(9)

特開平5-67785

15

16

が可能で、例えばチャネル領域のp型不純物層も溝底部にのみ存在する必要はなく、例えば溝の中程まで浸透しても良い。また、非常に低濃度のチャネル不純物層を用いても良い。

【0091】また、本実施例はn-チャネルMOSFETをもとに不純物型を例示したが、p-チャネルMOSFETの場合は、逆導電型の不純物に変更すれば良い。

【0092】尚、各領域の不純物濃度も例示したものの他のものでもよく、p型半導体基板1は $1 \times 10^{15} \sim 5 \times 10^{17} \text{ cm}^{-3}$ 、チャネルのp型不純物は $1 \times 10^{15} \sim 5 \times 10^{17} \text{ cm}^{-3}$ 、ソース・ドレインのn-型不純物層4は $1 \times 10^{17} \sim 1 \times 10^{19} \text{ cm}^{-3}$ 、n'-型不純物層16は $1 \times 10^{18} \sim 1 \times 10^{21} \text{ cm}^{-3}$ から選ばれる。

【0093】その他の本発明の趣旨を逸脱しない範囲で種々変形して実施できる。

【0094】

【発明の効果】以上述べたように本発明によれば従来の薄膜SOI-MOSFETの問題点を改善し、ドレイン耐圧向上、ソース・ドレインの寄生抵抗抑制、ショートチャネル効果防止、イオンバクトイオンにより発生したホールやエレクトロンのトランジスタ特性への影響防止、高性能なCMOSインバータ回路の実現など高性能で信頼性の良いMOSFETを得ることが出来る。

【図面の簡単な説明】

【図1】本発明の第1の実施例の平面図である。

【図2】本発明の第1の実施例のA-A'図である。

【図3】本発明の第1の実施例のB-B'図である。

【図4】本発明の第1の実施例の変形例を示す断面図である。

【図5】本発明の実施例の製造方法を説明する工程断面図である。

【図6】本発明の実施例の製造方法を説明する工程断面図である。

【図7】本発明の実施例の製造方法を説明する工程断面図である。

【図8】本発明の実施例の製造方法を説明する工程断面図である。

【図9】本発明の実施例の製造方法を説明する工程断面図である。

【図10】本発明の実施例の製造方法を説明する工程断面図である。

【図11】本発明の実施例の製造方法を説明する工程断面図である。

【図12】本発明の実施例の製造方法を説明する工程断面図である。

【図13】本発明の第3の実施例を説明するための断面図である。

【図14】本発明の第4の実施例を説明するための断面図である。

【図15】本発明の第4の実施例の変形例を説明する

ための断面図である。

【図16】本発明の第5の実施例を説明するための断面図である。

【図17】本発明の第5の実施例変形例を説明する断面図である。

【図18】本発明の第6の実施例を説明するための断面図である。

【図19】本発明の第7の実施例を説明するための断面図である。

【図20】本発明の第8の実施例を説明するための断面図である。

【図21】本発明の第9の実施例を説明するための断面図である。

【図22】本発明の第10の実施例を説明するための断面図である。

【図23】本発明の第11の実施例を説明するための断面図である。

【図24】本発明の第11の実施例を説明するための断面図である。

【図25】本発明の第11の実施例を説明するための断面図である。

【図26】本発明の第11の実施例変形例説明するための断面図である。

【図27】本発明の第12の実施例を説明するための断面図である。

【図28】本発明の第12の実施例を説明するための工程断面図である。

【図29】本発明の第12の実施例を説明するための工程断面図である。

【図30】本発明の第12の実施例を説明するための工程断面図である。

【図31】本発明の第12の実施例を説明するための工程断面図である。

【図32】本発明の実施例のMOSFETの特性を説明する説明図である。

【図33】本発明の第13の実施例を説明するための断面図である。

【図34】本発明の第14の実施例を説明するための断面図である。

【図35】本発明の実施例を説明するための工程断面図である。

【図36】本発明の実施例を説明するための工程断面図である。

【図37】本発明の実施例を説明するための工程断面図である。

【図38】本発明の実施例を説明するための斜視図である。

【図39】本発明の実施例を説明するための模式図である。

【図40】従来の問題点を説明するための説明図であ

(10)

特開平 5 - 6 7 7 8 5

18

17

る。

【図 4 1】本発明の第 1 の実施例である CMOS インバータ回路のチャネル方向の断面図である。

【図 4 2】本発明の第 2 の実施例を説明する CMOS インバータ回路のチャネル方向の断面図である。

【図 4 3】本発明の第 3 の実施例を説明する CMOS インバータ回路のチャネル方向の断面図である。

【図 4 4】本発明の第 4 の実施例を説明する CMOS インバータ回路のチャネル方向の断面図である。

【図 4 5】本発明の第 5 の実施例を説明する CMOS インバータ回路のチャネル方向の断面図である。

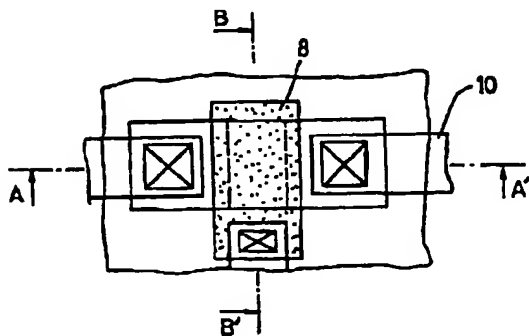
【図 4 6】CMOS インバータ回路の等価回路図である。

【図 4 7】本発明の第 1 の実施例の変形例を示す断面図である。

【符号の説明】

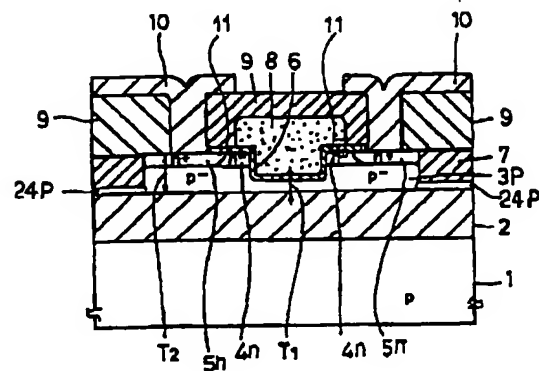
- 1 半導体基板 (p 型または n 型 Si 基板)
- 2 絶縁膜 (SiO₂ 層)
- 3 半導体層 (Si 層)
- 3 p 半導体層 (p⁻ 型 Si 層)
- 3 n 半導体層 (n⁻ 型 Si 層)
- 4 n n⁻ 型 Si 基板ソース・ドレイン拡散層
- 4 p p⁻ 型 Si 基板ソース・ドレイン拡散層
- 5 n n⁻ 型 Si 基板ソース・ドレイン拡散層
- 5 p p⁻ 型 Si 基板ソース・ドレイン拡散層
- 6 ゲート絶縁膜 (SiO₂ 膜)
- 7 素子分離絶縁膜
- 7 a 絶縁膜 2 に接する素子分離絶縁膜
- 8 ゲート電極
- 9 フィールド酸化膜
- 10 配線層
- 11 SiO₂ 層

【図 1】



- 12 絶縁膜
- 13 レジスト層
- 14 溝
- 15 絶縁膜
- 16 p 高濃度 p 層 (チャネル部 p 層)
- 16 n 高濃度 n 層 (チャネル部 n 層)
- 17 絶縁膜
- 18 絶縁膜
- 19 層間絶縁膜
- 20 コンタクトホール
- 22 n⁺ 層
- 23 フィールド絶縁膜
- 24 p フィールド反転防止用 p 型不純物層
- 24 n フィールド反転防止用 n 型不純物層
- 25 高濃度 p 層
- 26 ドープ多結晶シリコン層
- 27 電極
- 28 エピタキシャルシリコン層
- 29 絶縁膜
- 30 ゲート電極
- 31 n⁺ 層
- 32 n⁺ 層
- 33 i 型半導体層
- 34 p p 型半導体層 (V_{th} 決定領域)
- 34 n n 型半導体層 (V_{th} 決定領域)
- 35 Si 層
- 36 n 層
- 37 p⁻ 層
- 38 p⁻ 層
- 40 i 層
- 42 p p⁺ 型ボディコンタクト領域
- 42 n n⁺ 型ボディコンタクト領域

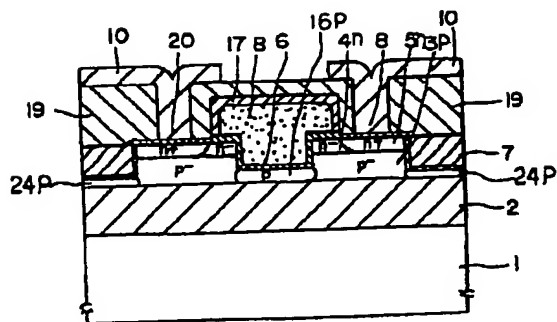
【図 2】



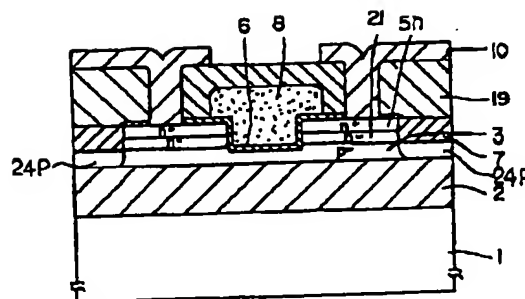
(12)

特開平 5 - 6 7 7 8 5

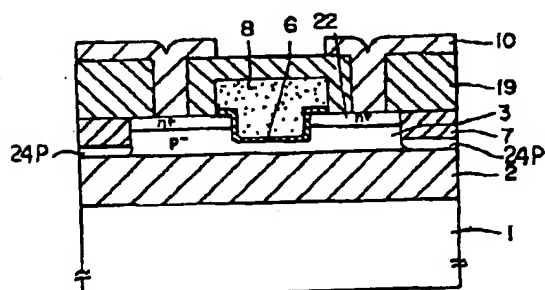
【図 11】



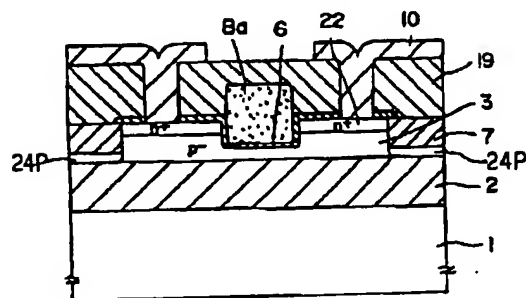
【図 12】



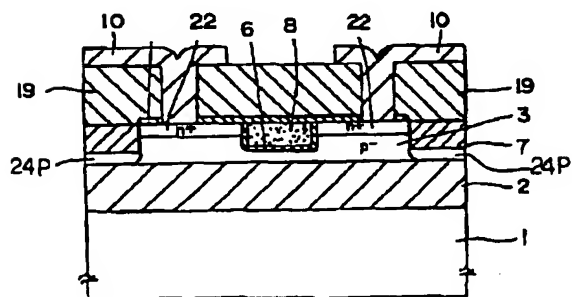
【図 13】



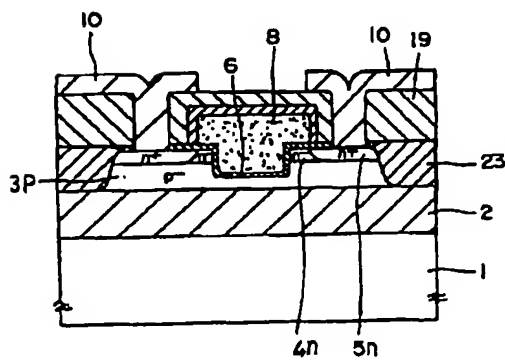
【図 14】



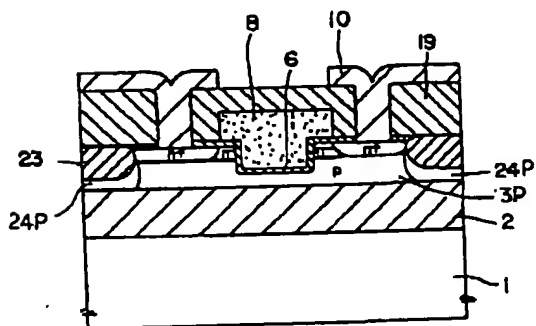
【図 15】



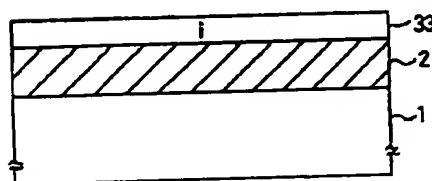
【図 16】



【図 17】



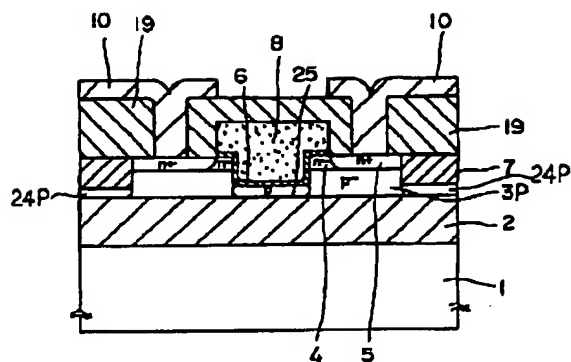
【図 28】



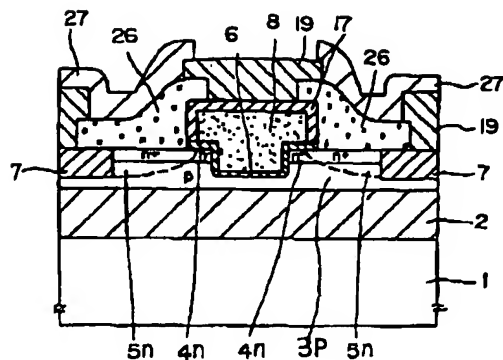
(13)

特開平 5 - 6 7 7 8 5

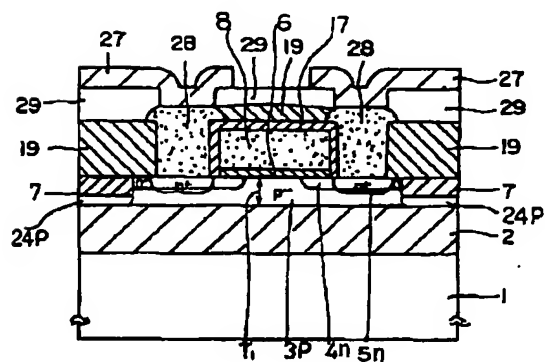
【図 18】



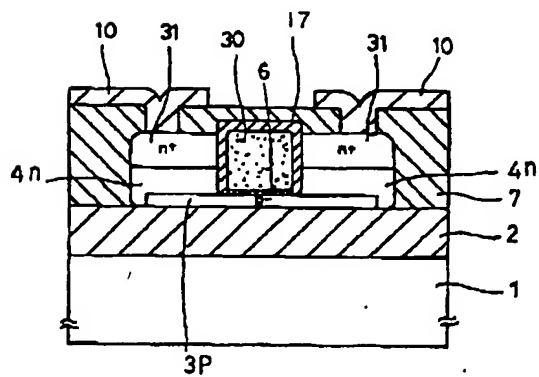
【図 19】



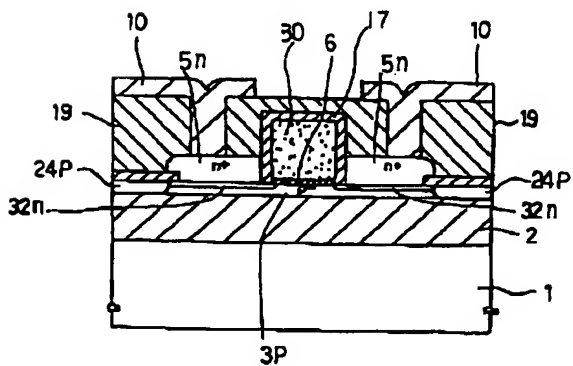
【図 20】



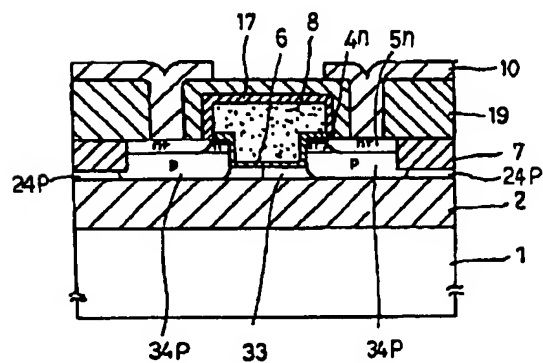
【図 21】



【図 22】



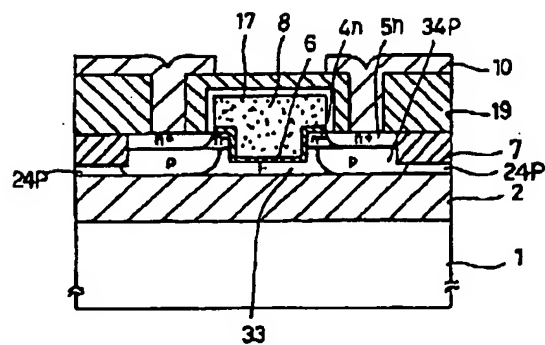
【図 23】



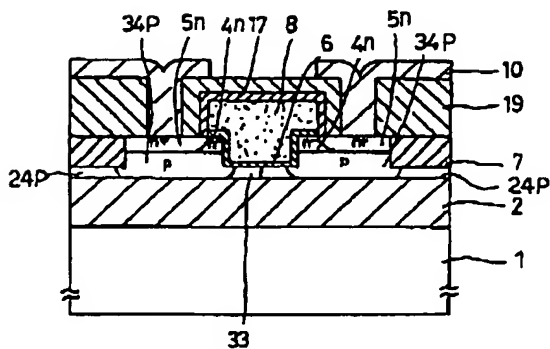
(14)

特開平 5 - 6 7 7 8 5

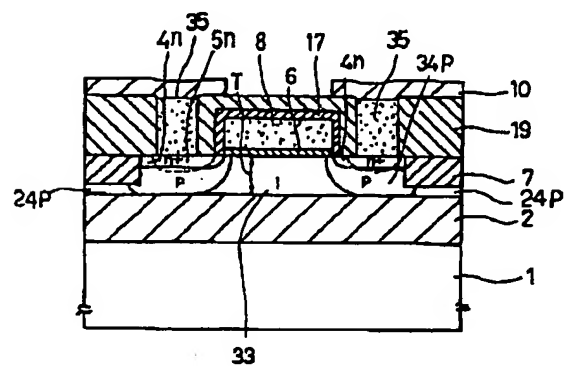
【図 2 4】



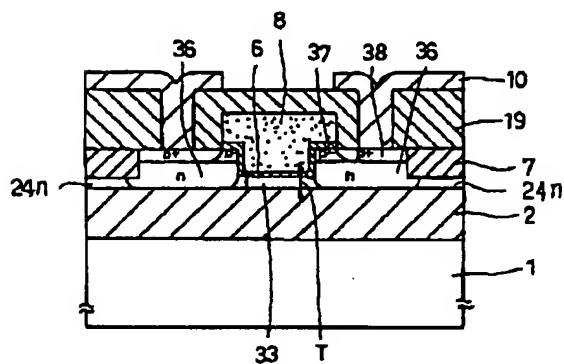
【図 2 5】



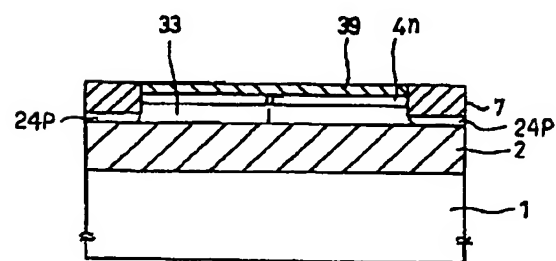
【図 2 6】



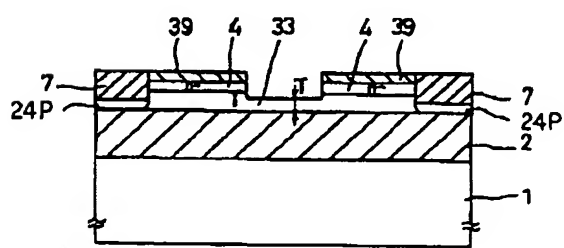
【図 2 7】



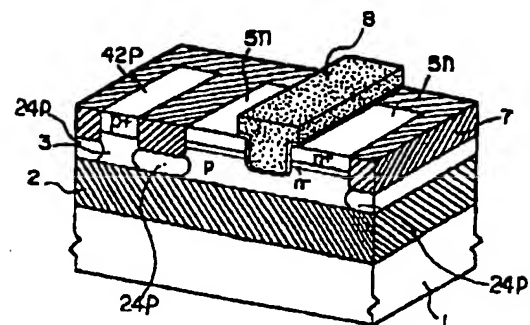
【図 2 9】



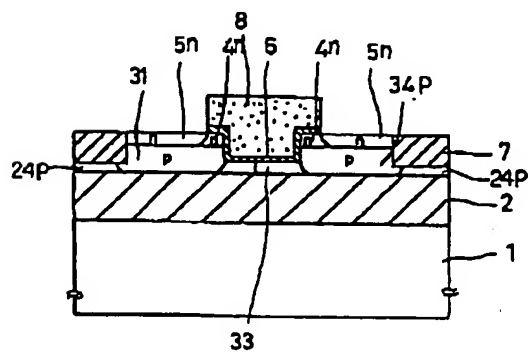
【図 3 0】



【図 3 8】



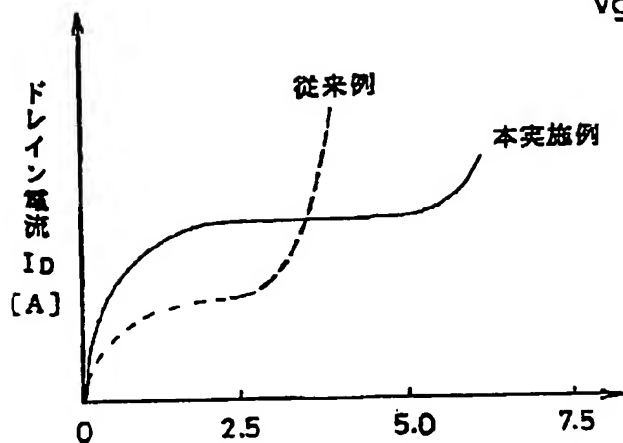
【図 3 1】



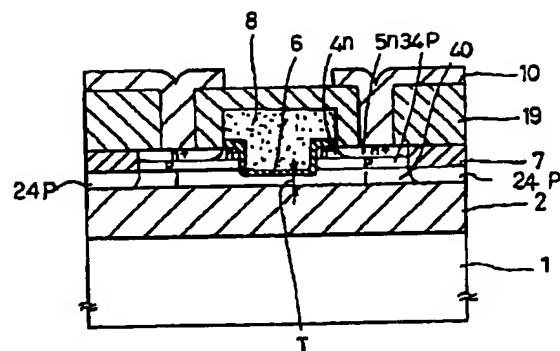
(15)

特開平 5 - 6 7 7 8 5

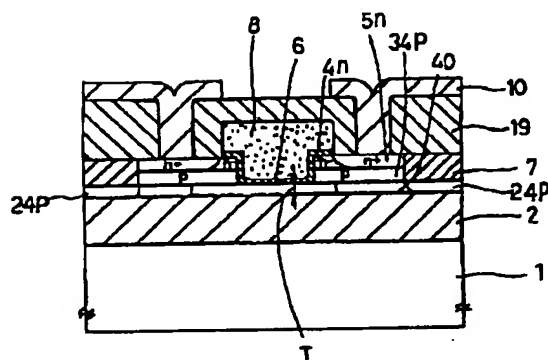
【図 3 2】



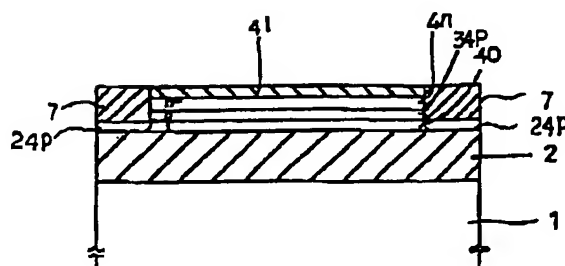
【図 3 3】



【図 3 4】

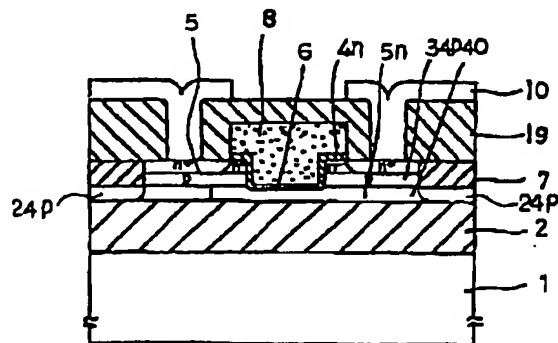
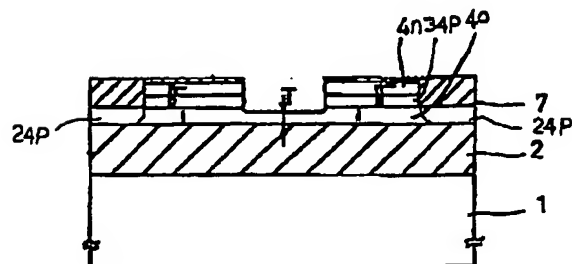


【図 3 5】



【図 3 7】

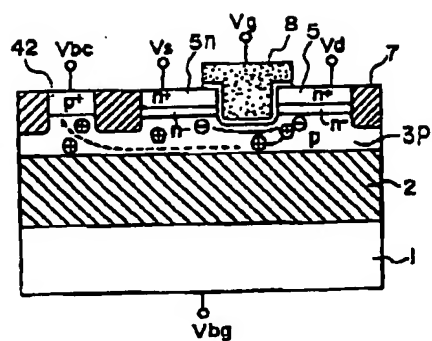
【図 3 6】



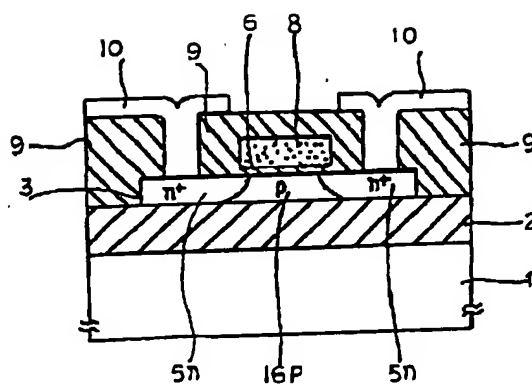
(16)

特開平 5 - 6 7 7 8 5

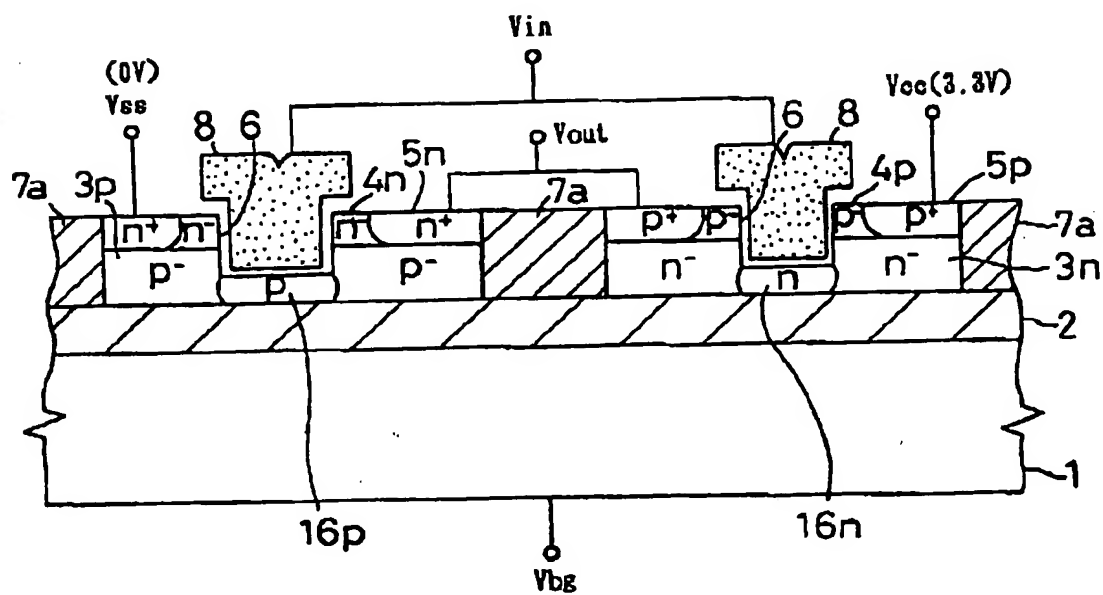
【图 3 9】



【圖 40】



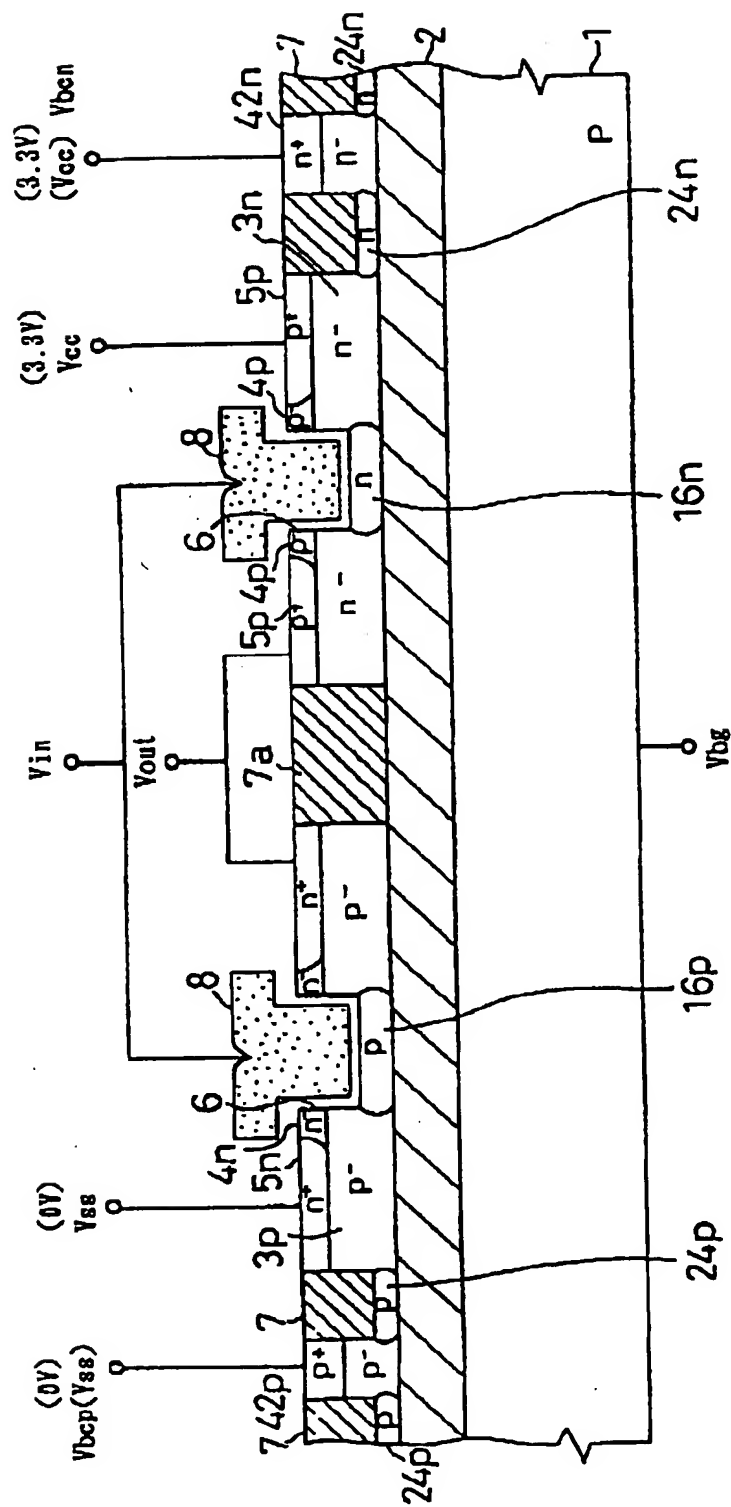
【圖 4 3】



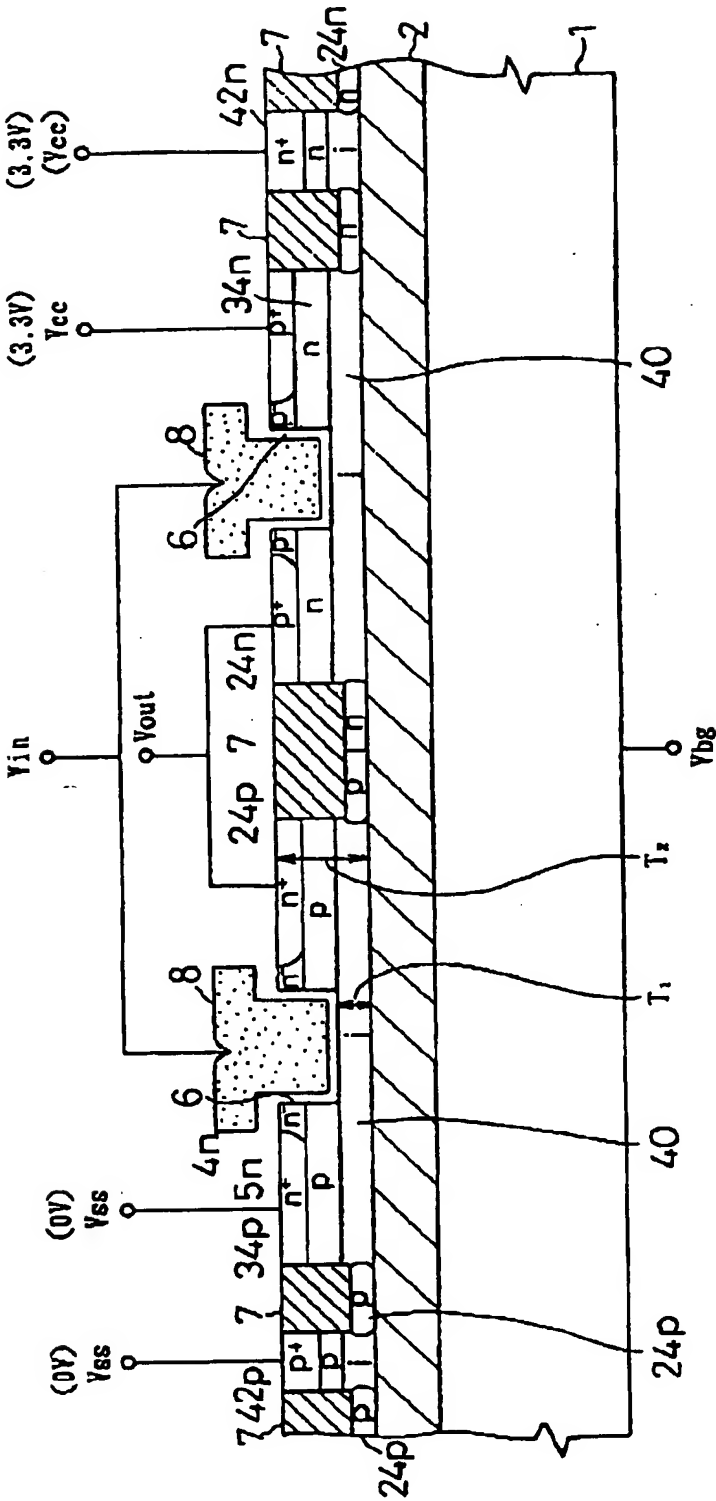
(18)

特開平 5 - 6 7 7 8 5

【 図 4 2 】



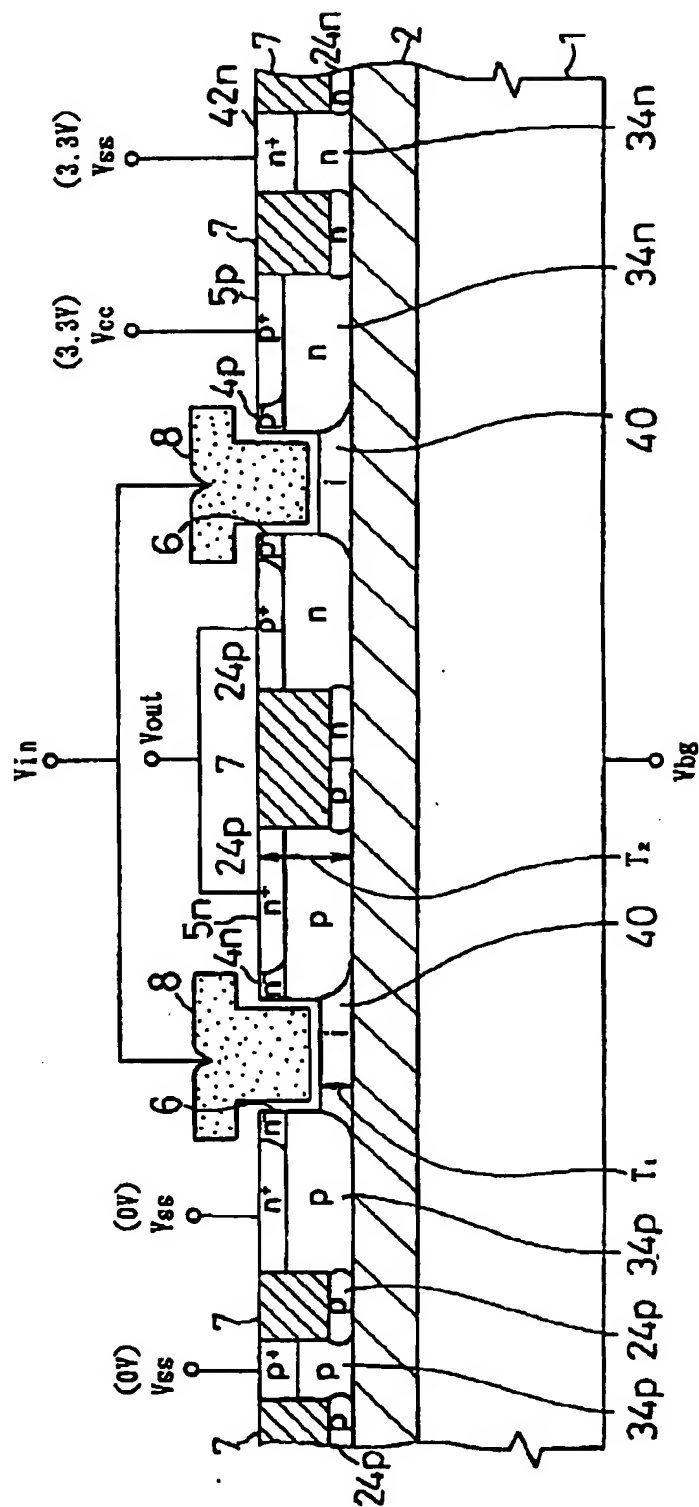
[圖 44]



(20)

特開平5-67785

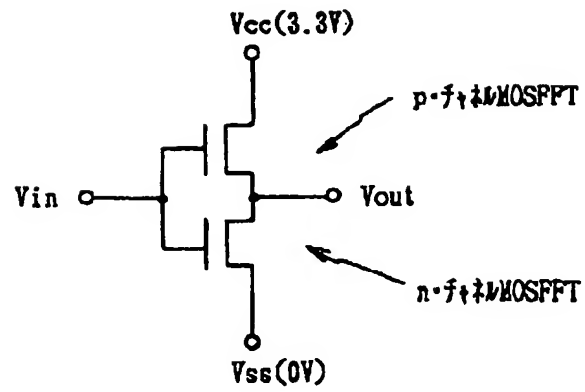
【図45】



(21)

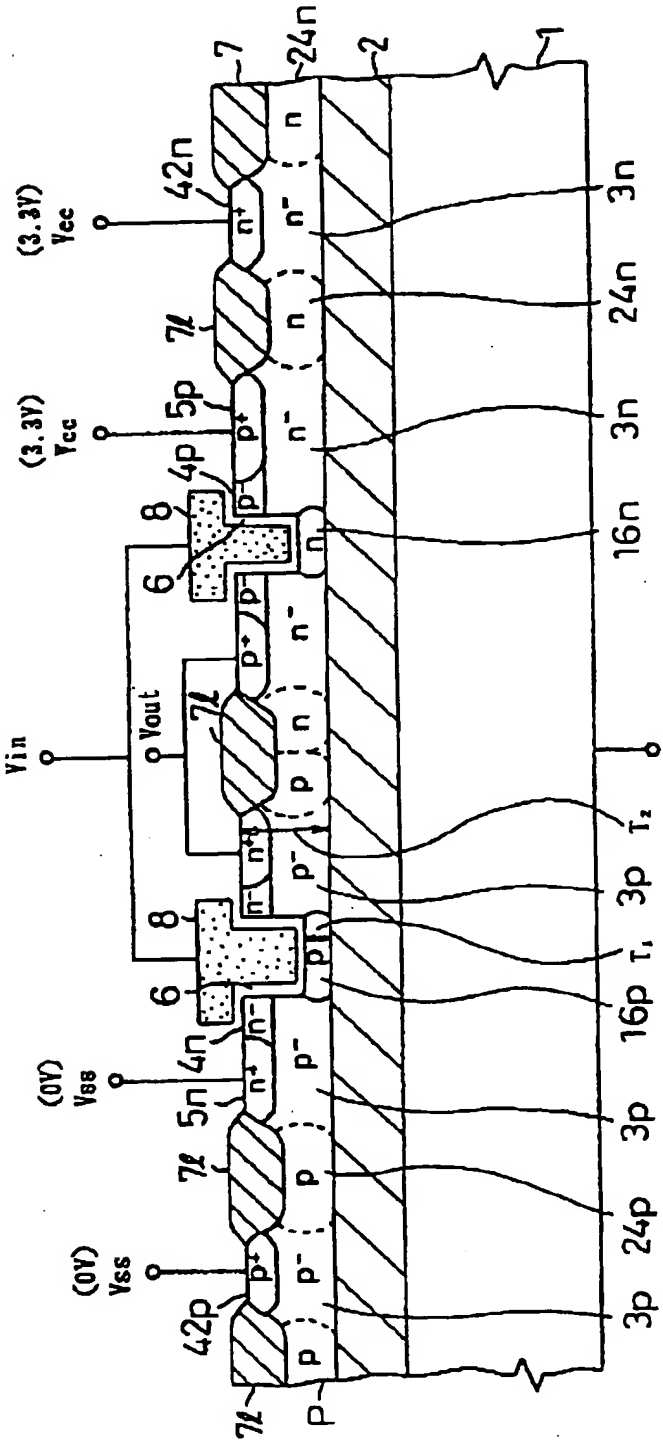
特開平5-67785

【図46】



CMOSインバータの等価回路

【図 47】



(23)

特開平5-67785

フロントページの続き

(51)Int.Cl. ⁴	識別記号	庁内整理番号	FI	技術表示箇所
		8225-4M	H01L 29/78	301 H